

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月12日

出 願 番 号

Application Number:

特願2000-003616

出 願 人

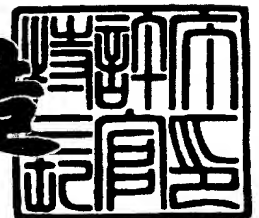
Applicant (s):

株式会社東芝

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3091989

【書類名】 特許願

【整理番号】 A009907038

【提出日】 平成12年 1月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/13

【発明の名称】 アレイ基板及びその検査方法

【請求項の数】 7

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

【氏名】 渡辺 良一

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

【氏名】 清木 正寛

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

【氏名】 松永 郁夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アレイ基板及びその検査方法

【特許請求の範囲】

【請求項 1】

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、
ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、
各トランジスタに接続された画素電極と、
駆動 IC から出力されたアナログ信号が入力される入力端子と、
前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選
択して振り分ける選択手段と、

前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接
続された検査用パッドと、

を備えたことを特徴とするアレイ基板。

【請求項 2】

1 つの前記選択手段によって選択される前記信号線の数 N としたとき、前記
検査用パッドの数は、 $(N - 1)$ であることを特徴とする請求項 1 に記載のアレ
イ基板。

【請求項 3】

前記選択手段は、前記信号線を所定数の信号線から成る複数の信号線群に区分
し、各前記信号線群毎に対応するアナログ信号を入力し、前記アナログ信号を各
前記信号線群の対応する信号線に順次振り分ける、

ことを特徴とする請求項 1 に記載のアレイ基板。

【請求項 4】

前記アレイ基板は、前記ゲート線に駆動信号を供給するゲート線駆動手段を一
体的に含むことを特徴とする請求項 1 に記載のアレイ基板。

【請求項 5】

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、
ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、
各トランジスタに接続された画素電極と、

駆動 I C から出力されたアナログ信号が入力される入力端子と、
 前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選択して振り分ける選択手段と、
 前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接続された検査用パッドと、
 を備えたアレイ基板の検査方法において、
 互いに隣接する第 1 信号線及び第 2 信号線のそれぞれに配置された前記検査用パッドに検査用回路のプローブを接続し、
 前記第 1 信号線上の第 1 検査用パッドから前記第 1 信号線にアナログ信号を書き込み、
 前記第 2 信号線から前記第 2 信号線上の第 2 検査用パッドを介して出力される出力信号を読み取り、
 前記第 2 検査用パッドから読み取った出力信号に基づいて、前記第 1 信号線と前記第 2 信号線との間の短絡を検査する、
 ことを特徴とする検査方法。

【請求項 6】

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、
 ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、
 各トランジスタに接続された画素電極と、
 駆動 I C から出力されたアナログ信号が入力される入力端子と、
 前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選択して振り分ける選択手段と、
 前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接続された検査用パッドと、
 を備えたアレイ基板の検査方法において、
 前記選択手段により第 1 信号線を選択し、
 前記入力端子、及び、前記第 1 信号線に隣接する第 2 信号線上に配置された検査用パッドに検査用回路のプローブを接続し、
 前記入力端子から前記第 1 信号線にアナログ信号を書き込み、

前記第 2 信号線から前記検査用パッドを介して出力される出力信号を読み取り

前記検査用パッドから読み取ったアナログ信号に基づいて、前記第 1 信号線と前記第 2 信号線との間の短絡を検査する、

ことを特徴とする検査方法。

【請求項 7】

前記検査用回路は、前記選択手段に対して前記第 1 信号線を選択する選択信号を出力することを特徴とする請求項 6 に記載のアレイ基板の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、アレイ基板及びその検査方法に係り、特に、外部回路との接続数が低減できる表示装置の検査方法に関する。

【0002】

【従来の技術】

表示装置、たとえば多結晶シリコン T F T を用いた液晶表示装置では、駆動回路としての信号線駆動回路の一部及びゲート線駆動回路をアレイ基板上に一体的に形成することができる。この場合、基板外部にも信号線駆動回路の一部、例えばデジタル・アナログ変換回路（D A C）が設けられるが、アモルファスシリコン T F T を用いた液晶表示装置と比較して、アレイ基板と外部回路との接続配線の数的大幅に減少できる。

【0003】

上述したような表示装置において、例えば、隣接する信号線間の短絡を検査する場合には、各信号線に検査用のパッドを設け、両パッドに検査用回路のプロープを接続し、抵抗値を測定することによって、信号線間の短絡を検出する。

【0004】

【発明が解決しようとする課題】

しかしながら、信号線間の短絡を検査するために少なくとも信号線数と同じ数の検査用パッドが必要となるだけでなく、パッドの数に対応した数の検査用プロ

ープも必要となる。このため、検査用パッドの配置スペースの確保、高精度な位置合わせが要求され、また高価なプローブを用意する必要がある。

【 0 0 0 5 】

この発明は、上述した問題点に鑑みなされたものであって、その目的は、画素の高精細化が可能な表示装置の短絡を検査する検査方法であって、検査用回路の測定精度を低減することなくコストを低減できるアレイ基板およびこのアレイ基板に適用される検査方法を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

上記課題を解決し目的を達成するために、
請求項 1 に記載のアレイ基板は、
基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、
ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、
各トランジスタに接続された画素電極と、
駆動 IC から出力されたアナログ信号が入力される入力端子と、
前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選択して振り分ける選択手段と、
前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接続された検査用パッドと、
を備えたことを特徴とする。

【 0 0 0 7 】

請求項 5 に記載のアレイ基板の検査方法は、
基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、
ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、
各トランジスタに接続された画素電極と、
駆動 IC から出力されたアナログ信号が入力される入力端子と、
前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選択して振り分ける選択手段と、
前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接

続された検査用パッドと、

を備えたアレイ基板の検査方法において、

互いに隣接する第 1 信号線及び第 2 信号線のそれぞれに配置された前記検査用パッドに検査用回路のプロープを接続し、

前記第 1 信号線上の第 1 検査用パッドから前記第 1 信号線にアナログ信号を書き込み、

前記第 2 信号線から前記第 2 信号線上の第 2 検査用パッドを介して出力される出力信号を読み取り、

前記第 2 検査用パッドから読み取った出力信号に基づいて、前記第 1 信号線と前記第 2 信号線との間の短絡を検査する、

ことを特徴とする。

【 0 0 0 8 】

請求項 6 に記載のアレイ基板の検査方法は、

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、

ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、

各トランジスタに接続された画素電極と、

駆動 IC から出力されたアナログ信号が入力される入力端子と、

前記入力端子から入力されたアナログ信号を複数の隣接する信号線から順次選択して振り分ける選択手段と、

前記選択手段と前記トランジスタとの間に配置され、前記信号線に電氣的に接続された検査用パッドと、

を備えたアレイ基板の検査方法において、

前記選択手段により第 1 信号線を選択し、

前記入力端子、及び、前記第 1 信号線に隣接する第 2 信号線上に配置された検査用パッドに検査用回路のプロープを接続し、

前記入力端子から前記第 1 信号線にアナログ信号を書き込み、

前記第 2 信号線から前記検査用パッドを介して出力される出力信号を読み取り

、
前記検査用パッドから読み取ったアナログ信号に基づいて、前記第 1 信号線と

前記第 2 信号線との間の短絡を検査する、
ことを特徴とする。

【0009】

【発明の実施の形態】

以下、この発明のアレイ基板を備えた表示装置、例えば多結晶シリコン TFT を画素 TFT として用い有効表示領域が対角 15 インチサイズの光透過型液晶表示装置、及びこのアレイ基板に適用される検査方法に係る一実施の形態について図面を参照して説明する。

【0010】

図 1 に示すように、この液晶表示装置 1 は、アレイ基板 100 と、このアレイ基板 100 に対して所定の間隔をおいて対向配置された対向基板 200 と、これらアレイ基板 100 と対向基板 200 との間に挟持され配向膜（図示せず）を介して配置される液晶層 300 とを備えている。アレイ基板 100 と対向基板 200 とは、その周辺に配置されるシール材 400 によって貼り合わせられている。

【0011】

アレイ基板 100 は、行方向に沿って延出された複数のゲート線 Y と、列方向に沿って延出された複数の信号線 X と、ゲート線 Y と信号線 X との各交差部に設けられたスイッチング素子としての画素薄膜トランジスタすなわち画素 TFT 110 と、ゲート線 Y と信号線 X とによって囲まれた各画素に対応して設けられた画素電極 120 と、を備えている。

【0012】

画素 TFT 110 は、多結晶シリコン膜を半導体層とする多結晶シリコン TFT である。画素 TFT 110 のゲート電極は、ゲート線 Y に接続されているとともに、ソース電極は、信号線 X に接続されている。また、画素 TFT 110 のドレイン電極は、画素電極 120 及びこの画素電極 120 と並列に補助容量素子 130 を構成する一方の電極に接続されている。

【0013】

ゲート線 Y を駆動するための駆動信号を出力するゲート線駆動手段として機能するゲート線駆動回路 150 は、画素 TFT 110 と同一プロセスでアレイ基板

100上に一体的に形成されている。

【0014】

信号線Xを駆動するための駆動信号を出力する信号線駆動回路部160は、フレキシブル配線基板上に信号線駆動用IC511が実装され、アレイ基板100と電氣的に接続されるTCP500-1、500-2…、500-6と、アレイ基板100上に画素TFT110と同一プロセスで形成された選択手段として機能する選択回路170とによって構成される。

【0015】

TCP500-1～6は、アレイ基板100の一辺に列設され、外部回路基板としてのPCB基板600に接続されている。このPCB基板600には、外部から入力される基準クロック信号及びデジタル方式のデータ信号に基づいて、各種制御信号及び制御信号に同期したデータ信号を出力する制御IC、電源回路などが実装されている。

【0016】

TCP500-Nは、図2に示すように、PCB基板600に形成された接続配線上の接続端子に接続されるPCB側パッド513と、アレイ基板100に形成された接続配線上の接続端子に接続されるアレイ側パッド515と、これらのパッド間を接続する各種配線とを備えている。これらのPCB側パッド513及びアレイ側パッド515は、異方性導電フィルム(ACF)を介してそれぞれPCB基板600及びアレイ基板100に電氣的に接続されている。

【0017】

信号線駆動回路部160の信号線駆動用IC511は、PCB基板600からの入力信号に基づいて、データ信号をアナログ方式の映像信号として出力する。

【0018】

すなわち、図3に示すように、信号線駆動用IC511は、シフトレジスタ521、データレジスタ523、D/Aコンバータ525などから構成されている。シフトレジスタ521には、PCB基板600側からクロック信号及び制御信号が入力される。データレジスタ523には、PCB基板600側からデータ信号が入力される。また、D/Aコンバータ525には、PCB基板600側から

基準信号が入力され、入力されたデータ信号がアナログ映像信号に変換される。

【 0 0 1 9 】

T C P - N の信号線駆動用 I C 5 1 1 から出力される各アナログ映像信号は、各水平走査期間毎に 2 つの信号線に対応したアナログ映像信号を含み、これを時系列に出力し、これがアレイ基板 1 0 0 上に形成された信号線駆動回路部 1 6 0 の選択回路 1 7 0 に入力される。

【 0 0 2 0 】

選択回路 1 7 0 は、信号線駆動用 I C 5 1 1 からの配線に接続され、信号線駆動用 I C 5 1 1 からの各シリアルアナログ映像信号が出力される出力端子 O U T 1、O U T 2 …と、信号線 X 1、X 2 …の一端に設けられた入力端子 1 A 及び 1 B、2 A 及び 2 B …とを選択的に接続するスイッチ S W 1、S W 2 …を備えており、これにより各水平走査期間で信号線駆動用 I C 5 1 1 からの 2 つの隣接する信号線に対応するシリアルな各アナログ映像信号は、後述するように隣接する 2 つの信号線に順次振り分けられる。

【 0 0 2 1 】

この実施の形態では、出力端子 O U T の数は、信号線 X の数の半分であり、1 出力端子から 2 本の信号線に対して順次駆動信号を出力している。更に接続数を低減するのであれば、出力端子 O U T の数を信号線 X の数の $1/3$ あるいは $1/4$ 等にもすることは可能である。

【 0 0 2 2 】

そして、例えば、スイッチ S W 1 は、スイッチ信号に基づいて、1 水平走査期間内に、出力端子 O U T 1 と、信号線 X 1 及び X 2 の入力端子 1 A 及び 1 B とをそれぞれ所定のタイミングで順次接続する。スイッチ S W 1 は、スイッチ信号が O N のタイミングで出力端子 O U T 1 と入力端子 1 A とを接続し、スイッチ信号が O F F のタイミングで出力端子 O U T 1 と入力端子 1 B とを接続する。

【 0 0 2 3 】

スイッチ S W 2 も同様に、1 水平走査期間内に、出力端子 O U T 2 と、信号線 X 3 及び X 4 の入力端子 2 A 及び 2 B とをそれぞれ所定のタイミングで接続する。スイッチ S W 2 は、スイッチ信号が O N のタイミングで出力端子 O U T 2 と入

力端子 2 B とを接続し、スイッチ信号が OFF のタイミングで出力端子 OUT 2 と入力端子 2 B とを接続する。

【 0 0 2 4 】

このように、ゲート線駆動回路を基板上に一体的に形成し、信号線駆動回路を基板上に一体的に形成した選択回路と TCP 上に実装された信号線駆動用 IC とで構成し、1 水平走査期間内に、選択回路のスイッチが複数の信号線に順次駆動信号を出力することにより、画素を高精細化してもアレイ基板上に形成される接続配線の本数を信号線の本数分に対応して形成する必要がなくなり、接続配線間のピッチを十分に確保できる。

【 0 0 2 5 】

また、ゲート線駆動回路及び信号線駆動回路をすべて基板上に形成する場合と比較して、配線長が長くなることを防止することができ、データ信号、あるいは映像信号の劣化を防止できるとともに、製造コストの増大を防止できる。

【 0 0 2 6 】

次に、各信号線 X の駆動方法、すなわち各信号線から各画素へのアナログ映像信号の書き込み方法の一例について説明する。

【 0 0 2 7 】

ここで、たとえば 1 水平走査期間の前半に入力端子 1 A、後半に入力端子 1 B にそれぞれ接続された信号線 X 1 及び X 2 に映像信号の書き込みを行う場合について説明する。

【 0 0 2 8 】

まず、1 水平走査期間の前半に、スイッチ SW 1 が入力端子 1 A に接続され、信号線 X 1 にアナログ映像信号が書き込まれる。信号線 X 1 にアナログ映像信号が保持されている状態で、1 水平周期の後半に、スイッチ SW 1 が入力端子 1 B に接続され、信号線 X 2 にアナログ映像信号が書き込まれる。

【 0 0 2 9 】

この際、信号線 X 1 は、信号線 X 2 の電位変化に伴い、信号線同士の結合容量によって、電位の変化が生じてしまう。その結果、信号線 X 1 では、本来、書き込まれるべきアナログ映像信号に基づく電位と異なる電位に変動し、表示上、間

題が生じる恐れがある。

【 0 0 3 0 】

たとえば、1 垂直走査期間毎に信号線に書き込まれる映像信号の極性すなわち正負を切り替え、また隣接する信号線に正負が反転する映像信号が書き込まれる V ライン反転駆動の場合、一様画面を表示させる、たとえば電圧を印加して黒表示をする場合、コモン電位を 5 V とすれば、正側は 9 V、負側は 1 V の電圧を印加することとなる。

【 0 0 3 1 】

先の問題が生じた場合、信号線 X 1 が 9 V の電位を書き込まれた後、隣接する信号線 X 2 に 1 V を書き込むが、信号線 X 1 の電位が信号線 X 2 の電位変動により 9 V の電位が 5 V に近づく方向に変化することになる。すなわち、黒のレベルが変化し、変動が大きい場合には、縦に階調の異なる縞が見えてしまうことになり、表示装置としての機能に重大な支障が生じる。

【 0 0 3 2 】

そこで、この実施の形態では、信号線への書き込み順序を所定の垂直走査期間及び水平走査期間の少なくとも一方毎に変えることにより、電位変動を生じた画素を時間的あるいは空間的に分散し、これによって、表示画面の階調変動を視認しづらくする。

【 0 0 3 3 】

すなわち、図 4 に示すように、n フレームにおいて、スイッチ SW 1 には、1 水平走査期間の前半で ON となり、後半で OFF となるスイッチ信号が入力される。これにより、出力端子 OUT 1 は、1 水平走査期間の前半に入力端子 1 A に接続され、後半に入力端子 1 B に接続される。また、スイッチ SW 2 には、1 水平走査期間の前半で OFF となり、後半で ON となるスイッチ信号が入力される。これにより、出力端子 OUT 2 は、1 水平走査期間の前半に入力端子 2 B に接続され、後半に入力端子 2 A に接続される。

【 0 0 3 4 】

出力端子 OUT 1 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 1 A を介して信号線 X 1 に正の映像信

号を書き込み、後半には、接続された入力端子 1 B を介して信号線 X 2 に負の映像信号を書き込む。

【 0 0 3 5 】

出力端子 O U T 2 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 2 B を介して信号線 X 4 に負の映像信号を書き込み、後半には、接続された入力端子 2 A を介して信号線 X 3 に正の映像信号を書き込む。

【 0 0 3 6 】

これにより、画素 1 には、1 水平走査期間の前半から正の映像信号が書き込まれ、画素 2 には、後半から負の映像信号が書き込まれることになる。また、画素 3 には、1 水平走査期間の後半から正の映像信号が書き込まれ、画素 4 には、前半から負の映像信号が書き込まれることになる。

【 0 0 3 7 】

このとき、隣接する画素の書き込み電位の影響により、1 水平走査期間の前半に書き込まれた電位が変動する。すなわち、画素 1 では、画素 2 に電位が書き込まれた影響により、書き込み時の 9 V からわずかに低下し、また、画素 4 では、画素 3 に電位が書き込まれた影響により、書き込み時の 1 V からわずかに上昇する。

【 0 0 3 8 】

続いて、図 5 に示すように、 $(n + 1)$ フレームにおいて、スイッチ S W 1 には、1 水平走査期間の前半で O F F となり、後半で O N となるスイッチ信号が入力される。これにより、出力端子 O U T 1 は、1 水平走査期間の前半に入力端子 1 B に接続され、後半に入力端子 1 A に接続される。また、スイッチ S W 2 には、1 水平走査期間の前半で O N となり、後半で O F F となるスイッチ信号が入力される。これにより、出力端子 O U T 2 は、1 水平走査期間の前半に入力端子 2 A に接続され、後半に入力端子 2 B に接続される。

【 0 0 3 9 】

出力端子 O U T 1 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 1 B を介して信号線 X 2 に正の映像信

号を書き込み、後半には、接続された入力端子 1 A を介して信号線 X 1 に負の映像信号を書き込む。

【 0 0 4 0 】

出力端子 O U T 2 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 2 A を介して信号線 X 3 に負の映像信号を書き込み、後半には、接続された入力端子 2 B を介して信号線 X 4 に正の映像信号を書き込む。

【 0 0 4 1 】

これにより、画素 1 には、1 水平走査期間の後半から負の映像信号が書き込まれ、画素 2 には、前半から正の映像信号が書き込まれることになる。また、画素 3 には、1 水平走査期間の前半から負の映像信号が書き込まれ、画素 4 には、後半から正の映像信号が書き込まれることになる。

【 0 0 4 2 】

このとき、画素 2 では、画素 1 に電位が書き込まれた影響により、書き込み時の 9 V からわずかに低下し、また、画素 3 では、画素 4 に電位が書き込まれた影響により、書き込み時の 1 V からわずかに上昇する。

【 0 0 4 3 】

このように、n フレームにおいて、画素 1 及び画素 4 の電位がそれぞれコモン電位に近い方向にずれ、画素 2 及び画素 3 と比較して、黒レベルが薄くなる。また、(n + 1) フレームにおいて、画素 2 及び画素 3 の電位がそれぞれコモン電位に近い方向にずれ、画素 1 及び画素 4 と比較して、黒レベルが薄くなる。

【 0 0 4 4 】

表示画面上の他の部分についても同様に動作するため、この場合、信号線 X 1 に接続された画素列及び信号線 X 2 に接続された画素列、あるいは、信号線 X 3 に接続された画素列及び信号線 X 4 に接続された画素列の黒レベルが交互に薄くなる。この結果、表示画面全体として、表示が薄くなる部分が平均化されることになり、電位変動の影響による表示の変動を視認しづらくすることが可能となる。

【 0 0 4 5 】

したがって、信号線駆動用 I C の出力端子数が信号線の本数より少ないため、信号線駆動用 I C の個数を低減することが可能となり、コストを低減できるとともに、信号線駆動用 I C の個数を低減しても、画面の表示品位を低下させることなく表示させることが可能となる。

【 0 0 4 6 】

上述した実施の形態では、信号線の選択周期を 1 垂直走査期間毎としたが、1 水平走査期間毎でも同様の作用が生じ、電位が変動する画素を市松状に分散することができる。また、1 水平走査期間毎且つ 1 垂直走査期間毎に信号線の選択周期を変更しても良い。この場合、市松状の配列が垂直走査期間毎に入れ替わることになり、一層電位変動を生じた画素を平均化できる。

【 0 0 4 7 】

同様に、信号線の選択周期を 1 水平走査期間や 1 垂直走査期間に限らず、複数周期で実行しても良い。例えば、信号線の選択周期を 1 水平走査期間毎且つ 2 垂直走査期間毎に変更しても良い。すなわち、上述した実施の形態では、ある画素に注目した場合、電位変動が特定の極性の映像信号を書き込む際に生じるという偏りがあったが、この場合には、極性に関しても順に入れ替わるため、偏りの発生を抑制できる。

【 0 0 4 8 】

上述した実施の形態では、図 1 に示した T C P 5 0 0 - 1 ~ 6 は、すべて同一であり、図 2 に示したように構成されている。すなわち、各 T C P 5 0 0 - N の P C B パッド 5 1 3 及びアレイパッド 5 1 5 に対応した P C B 基板 6 0 0 上及びアレイ基板 1 0 0 上の接続配線数及び接続配線間のピッチは、それぞれ同一である。

【 0 0 4 9 】

この T C P 5 0 0 - N は、信号線駆動用 I C 5 1 1 に P C B 基板 6 0 0 からの入力信号に対応して設けられた入力信号用配線群 5 3 1、信号線駆動用 I C 5 1 1 からの出力信号に対応して設けられた出力信号用配線群 5 3 3、液晶表示装置用の電源配線、選択回路 1 7 0 のスイッチ S W 用の電源配線及びスイッチ信号（制御信号）用配線などの各種配線群 5 3 5 および 5 3 7 を備えている。

【 0 0 5 0 】

図 2 に示すように、信号線駆動用 I C 5 1 1 への入力信号用配線群 5 3 1 及び出力信号用配線群 5 3 3 は、略等しい本数に分配された各種配線群 5 3 5 と 5 3 7 との間に配置されている。

【 0 0 5 1 】

アレイ基板 1 0 0 の両端に配置された T C P 5 0 0 - 1 及び 5 0 0 - 6 は、アレイ基板 1 0 0 の両端に設けられたゲート線駆動回路 1 5 0 に対応して、各種配線群 5 3 5 及び 5 3 7 に、ゲート線駆動回路 1 5 0 用の電源配線及び制御信号用配線を備えている。もちろん、ゲート線駆動回路 1 5 0 がアレイ基板の一端のみに設けられた場合には、これに対応して一方の T C P 5 0 0 - 1 または 5 0 0 - 6 のみに、ゲート線駆動回路 1 5 0 用の電源配線及び制御信号用配線を備えればよい。

【 0 0 5 2 】

このように、T C P 上にゲート線駆動回路用の電源配線及び制御信号用配線や、選択回路のスイッチ用の電源配線及びスイッチ信号用配線、液晶表示装置用の電源配線などを、信号線駆動用 I C の入出力信号用配線とともに形成することにより、別途の配線部材を用意する必要がなくなり、コストを低減することが可能となる。

【 0 0 5 3 】

なお、上述した実施の形態では、T C P 5 0 0 - 1 ~ 6 をすべて同一としたが、T C P 5 0 0 - 1 及び 5 0 0 - 6 と、T C P 5 0 0 - 2 ~ 5 0 0 - 5 とを異なる構成としてもよい。すなわち、T C P 5 0 0 - 2 ~ 5 0 0 - 5 のアレイパッド 5 1 5 に対応したアレイ基板 1 0 0 上の接続配線数は、T C P 5 0 0 - 1 及び 5 0 0 - 6 に比べて少ない。このため、T C P 5 0 0 - 2 ~ 5 0 0 - 5 は、接続配線間のピッチをより拡大できる。

【 0 0 5 4 】

より具体的には、T C P 5 0 0 - 1 及び 5 0 0 - 6 は、図 2 に示すような構造であって、信号線駆動用 I C 5 1 1 に P C B 基板 6 0 0 からの入力信号に対応して設けられた入力信号用配線群 5 3 1、信号線駆動用 I C 5 1 1 からの出力信号

に対応して設けられた出力信号用配線群 5 3 3、液晶表示装置用の電源配線、選択回路 1 7 0 のスイッチ SW 用の電源配線及びスイッチ信号（制御信号）用配線、ゲート線駆動回路 1 5 0 用の電源配線及び制御信号用配線などの各種配線群 5 3 5 および 5 3 7 を備えている。

【 0 0 5 5 】

図 2 に示すように、信号線駆動用 IC 5 1 1 への入力信号用配線群 5 3 1 及び出力信号用配線群 5 3 3 は、略等しい本数に分配された各種配線群 5 3 5 と 5 3 7 との間に配置されている。

【 0 0 5 6 】

TCP 5 0 0 - 2 ~ 5 0 0 - 5 は、図 6 に示すような構造であって、信号線駆動用 IC 5 1 1 に PCB 基板 6 0 0 からの入力信号に対応して設けられた入力信号用配線群 5 3 1、信号線駆動用 IC 5 1 1 からの出力信号に対応して設けられた出力信号用配線群 5 3 3、液晶表示装置用の電源配線、選択回路 1 7 0 のスイッチ SW 用の電源配線及びスイッチ信号（制御信号）用配線などの各種配線群 5 4 1 および 5 4 3 を備えている。

【 0 0 5 7 】

図 6 に示すように、信号線駆動用 IC 5 1 1 への入力信号用配線群 5 3 1 及び出力信号用配線群 5 3 3 は、略等しい本数に分配された各種配線群 5 4 1 と 5 4 3 との間に配置されている。

【 0 0 5 8 】

図 2 に示した TCP における各種配線群 5 3 5 及び 5 3 7 の本数は、20 ~ 40 本程度であるのに対して、図 6 に示した TCP における各種配線群 5 4 1 及び 5 4 3 の本数は、5 ~ 20 本程度である。

【 0 0 5 9 】

図 7 に示すように、アレイ基板 1 0 0 の一端側に、TCP 5 0 0 - 1 が接続される。アレイ基板 1 0 0 は、その一辺に沿って、TCP 5 0 0 - 1 のアレイパッド 5 1 5 が接続される接続パッド群 PD を備えている。これらの接続パッド群 PD の中央部には、信号線駆動用 IC 5 1 1 からの出力信号、スイッチ信号、スイッチの電源を選択回路 1 7 0 に入力するためのパッドが設けられている。

【 0 0 6 0 】

接続パッド群PDの一端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。これらのパッドから供給される制御信号としては、例えば、ゲート線駆動回路150がシフトレジスタで構成されている場合、クロック信号やスタート信号、リセット信号などである。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【 0 0 6 1 】

図8に示すように、アレイ基板100の一辺に沿った中央部には、TCP500-2～500-5が接続される。アレイ基板100は、その一辺に沿って、TCP500-2～500-5のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDには、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【 0 0 6 2 】

図9に示すように、アレイ基板100の他端側に、TCP500-6が接続される。アレイ基板100は、その一辺に沿って、TCP500-6のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDの中央部には、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【 0 0 6 3 】

接続パッド群PDの他端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【 0 0 6 4 】

以上の構成により、TCP500-2～500-5は、信号線駆動ICからの出力信号が入力される配線その他、選択回路170のスイッチSW用の電源及びスイッチ信号を入力するための配線のみで良く、TCP500-1及び500-6と比べて接続すべき配線の数を削減することができる。このため、各配線の一端に設けられたパッドのピッチを拡大することができる。これにより、信頼性を損

なうことなく、高精細化を図ることが可能である。

【0065】

次に、上述したような表示装置において、アレイ基板100の信号線X（1、2、3…）の短絡を検査する第1の検査方法について説明する。

【0066】

図10に示すように、まず、アレイ基板100に検査用回路900を接続する。この検査用回路900は、内部の各回路やスイッチを制御するCPU901と、信号線にアナログ信号を書き込む書込回路902と、信号線から出力される信号を読み取る読取回路903と、接続パッドPD（1、2、3…）にそれぞれ接続されるプローブPR（1、2）とを備えている。

【0067】

検査用回路900のCPU901は、書込回路902、読取回路903、及びアレイ基板100の選択回路170に対してそれぞれ所定のタイミングで制御信号を出力する。

【0068】

一方、アレイ基板100側は、信号線上において、選択回路170のスイッチSW（1、2、…）と、このスイッチに最も近い画素トランジスタ110Nとの間に配置された検査用パッドPD1B（2B、3B、…）を備えている。すなわち、この検査用パッドPD1Bは、信号線X2に電氣的に接続されているとともに、選択回路170に含まれるスイッチSW1の入力端子1Bと、画素トランジスタ110Nとの間に配置されている。

【0069】

同様に、他の検査用パッドPD2B…も、例えば偶数番目の信号線X2n（n=1、2、…）上における選択回路170のスイッチと、このスイッチに最も近い画素トランジスタとの間に配置されている。

【0070】

まず、互いに隣接する第1信号線X1と第2信号線X2との短絡を検査する検査方法について説明する。これら第1信号線X1及び第2信号線X2は、選択回路170の同一スイッチSW1によって選択され、同一の接続パッドPD1を介

してアナログ信号の書き込み及び読み取りを行う。

【0071】

すなわち、図10に示すように、第1プローブPR1を接続パッドPD1Aに接続し、第2プローブPR2を検査用パッドPD1Bに接続する。

【0072】

そして、検査用回路900のCPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第1信号線X1の入力端子1Aに接続するような制御信号を出力する。

【0073】

そして、CPU901は、書込回路902を制御して、第1プローブPR1を介して第1信号線X1に所定のアナログ信号を書き込む。

【0074】

続いて、CPU901は、読取回路903を制御して、第2プローブPR2を介して第2信号線X2からの出力信号を読み取る。

【0075】

CPU901は、第2信号線X2から所定のアナログ信号を検出した場合に、第1信号線X1と第2信号線X2とが短絡していると判断し、第2信号線X2から信号を検出なかった場合に、第1信号線X1と第2信号線X2との間に短絡が生じていないものと判断する。

【0076】

次に、互いに隣接する第2信号線X2と第3信号線X3との短絡を検査する検査方法について説明する。これら第2信号線X2及び第3信号線X3は、それぞれ選択回路170の異なるスイッチ、すなわちスイッチSW1及びSW2によって選択され、それぞれのスイッチSW1及びSW2に接続された接続パッドPD1A及びPD2Aを介してアナログ信号の書き込み及び読み取りを行う。

【0077】

このとき、第1プローブPR1は、接続パッドPD2Aに接続されている。

【0078】

すなわち、CPU901は、選択回路170に対して、スイッチSW2の出力

端子OUT 2を第3信号線X 3の入力端子2 Aに接続するような制御信号を出力する。

【0079】

そして、CPU 901は、書込回路902を制御して、第1プローブPR 1を介して第3信号線X 3に所定のアナログ信号を書き込む。

【0080】

続いて、CPU 901は、読取回路903を制御して、第2プローブPR 2を介して第2信号線X 2からの出力信号を読み取る。

【0081】

CPU 901は、第2信号線X 2から所定のアナログ信号を検出した場合に、第2信号線X 2と第3信号線X 3とが短絡していると判断し、第2信号線X 2から信号を検出なかった場合に、第2信号線X 2と第3信号線X 3との間に短絡が生じていないものと判断する。

【0082】

以下、同様にして、互いに隣接する2本の信号線をペアとし、検査用回路の一方のプローブを接続パッドに接続するとともに他方のプローブを信号線上に設けられた検査用パッドに接続し、一方のプローブに接続された接続パッドと一方の信号線とを電氣的に接続した状態で、この一方の信号線に対してアナログ信号を書き込み、検査用パッドに電氣的に接続された他方の信号線からの出力信号を読み取ることにより、ペアの信号線間の短絡を検出することが可能となる。

【0083】

このように、接続パッドの一部またはすべてを検査用パッドとして利用することで、検査用のパッドの数の増大を抑えることが可能となり、画素を高精細化した場合であってもパッドを配置するスペースの確保が容易となるとともに、多結晶シリコンTFTを用いた利点を有効に活用することが可能となる。

【0084】

また、プローブの数の増大も抑えることができ、あるいはプローブの間隔を十分に広くとることができるため、コストアップすることなくメンテナンスが容易な検査用回路を提供することが可能となる。

【0085】

次に、上述したような表示装置において、アレイ基板100の信号線X（1、2、3…）の短絡を検査する第2の検査方法について説明する。

【0086】

図11に示すように、まず、アレイ基板100に検査用回路900を接続する。この検査用回路900は、内部の各回路やスイッチを制御するCPU901と、信号線にアナログ信号を書き込む書込回路902と、信号線から出力される信号を読み取る読取回路903と、接続パッドPD（1、2、3…）にそれぞれ接続されるプローブPR（1、2、3）と、第2プローブPR2または第3プローブPR3を切り換える切換回路904とを備えている。

【0087】

検査用回路900のCPU901は、書込回路902、読取回路903、切換回路904、及びアレイ基板100の選択回路170に対してそれぞれ所定のタイミングで制御信号を出力する。

【0088】

一方、アレイ基板100側においては、選択回路170のスイッチSW（1、2、…）は、1つの出力端子OUT1に対して、3本の信号線X1、X2、X3にそれぞれ対応する入力端子1A、1B、1Cを選択可能に形成されている。また、アレイ基板100は、信号線上において、選択回路170のスイッチSW（1、2、…）と、このスイッチに最も近い画素トランジスタ110Nとの間に配置された検査用パッドPD1B、PD1C（PD2B、PD2C、…）を備えている。

【0089】

まず、互いに隣接する第1信号線X1と第2信号線X2との短絡を検査する検査方法について説明する。これら第1信号線X1及び第2信号線X2は、選択回路170の同一スイッチSW1によって選択され、同一の接続パッドPD1Aを介してアナログ信号の書き込み及び読み取りを行う。

【0090】

すなわち、図11に示すように、第1プローブPR1を接続パッドPD1Aに

接続し、第2プローブPR2を検査用パッドPD1Cに接続する。また、第3プローブPR3を接続パッドPD1Bに接続する。

【0091】

そして、検査用回路900のCPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第1信号線X1の入力端子1Aに接続するような制御信号を出力する。また、CPU901は、切換回路904に対して第3プローブPR3を選択するような制御信号を出力する。

【0092】

そして、CPU901は、書込回路902を制御して、第1プローブPR1を介して第1信号線X1に所定のアナログ信号を書き込む。

【0093】

続いて、CPU901は、読取回路903を制御して、第3プローブPR3を介して第2信号線X2からの出力信号を読み取る。

【0094】

CPU901は、第2信号線X2から所定のアナログ信号を検出した場合に、第1信号線X1と第2信号線X2とが短絡していると判断し、第2信号線X2から信号を検出なかった場合に、第1信号線X1と第2信号線X2との間に短絡が生じていないものと判断する。

【0095】

次に、互いに隣接する第2信号線X2と第3信号線X3との短絡を検査する検査方法について説明する。これら第2信号線X2及び第3信号線X3は、選択回路170の同一スイッチSW1によって選択され、同一の接続パッドPD1Aを介してアナログ信号の書き込み及び読み取りを行う。

【0096】

すなわち、CPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第2信号線X2の入力端子1Bに接続するような制御信号を出力する。また、CPU901は、切換回路904に対して第2プローブPR2を選択するような制御信号を出力する。

【0097】

そして、CPU 9 0 1 は、書込回路 9 0 2 を制御して、第 1 プローブ P R 1 を介して第 2 信号線 X 2 に所定のアナログ信号を書き込む。

【 0 0 9 8 】

続いて、CPU 9 0 1 は、読取回路 9 0 3 を制御して、第 2 プローブ P R 2 を介して第 3 信号線 X 3 からの出力信号を読み取る。

【 0 0 9 9 】

CPU 9 0 1 は、第 3 信号線 X 3 から所定のアナログ信号を検出した場合に、第 2 信号線 X 2 と第 3 信号線 X 3 とが短絡していると判断し、第 3 信号線 X 3 から信号を検出なかった場合に、第 2 信号線 X 2 と第 3 信号線 X 3 との間に短絡が生じていないものと判断する。

【 0 1 0 0 】

次に、互いに隣接する第 3 信号線 X 3 と第 4 信号線 X 4 との短絡を検査する検査方法について説明する。これら第 3 信号線 X 3 及び第 4 信号線 X 4 は、それぞれ選択回路 1 7 0 の異なるスイッチ、すなわちスイッチ S W 1 及び S W 2 によって選択され、それぞれのスイッチ S W 1 及び S W 2 に接続された接続パッド P D 1 A 及び P D 2 A を介してアナログ信号の書き込み及び読み取りを行う。

【 0 1 0 1 】

このとき、第 1 プローブ P R 1 は、接続パッド P D 2 A に接続されている。

【 0 1 0 2 】

すなわち、CPU 9 0 1 は、選択回路 1 7 0 に対して、スイッチ S W 2 の出力端子 O U T 2 を第 4 信号線 X 4 の入力端子 2 A に接続するような制御信号を出力する。また、CPU 9 0 1 は、切換回路 9 0 4 に対して第 2 プローブ P R 2 を選択するような制御信号を出力する。

【 0 1 0 3 】

そして、CPU 9 0 1 は、書込回路 9 0 2 を制御して、第 1 プローブ P R 1 を介して第 4 信号線 X 4 に所定のアナログ信号を書き込む。

【 0 1 0 4 】

続いて、CPU 9 0 1 は、読取回路 9 0 3 を制御して、第 2 プローブ P R 2 を介して第 3 信号線 X 3 からの出力信号を読み取る。

【0105】

CPU901は、第3信号線X3から所定のアナログ信号を検出した場合に、第3信号線X3と第4信号線X4とが短絡していると判断し、第3信号線X3から信号を検出なかった場合に、第3信号線X3と第4信号線X4との間に短絡が生じていないものと判断する。

【0106】

以下、同様に、互いに隣接する2本の信号線をペアとし、検査用回路の一方のプローブを接続パッドに接続するとともに他方のプローブを信号線上に設けられた検査用パッドに接続し、一方のプローブに接続された接続パッドと一方の信号線とを電氣的に接続した状態で、この一方の信号線に対してアナログ信号を書き込み、検査用パッドに電氣的に接続された他方の信号線からの出力信号を読み取ることにより、ペアの信号線間の短絡を検出することが可能となる。

【0107】

これにより、上述した第1の検査方法と同様の作用効果を得ることが可能となる。

【0108】

次に、上述したような表示装置において、アレイ基板100の信号線X（1、2、3…）の短絡を検査する第3の検査方法について説明する。この第3の検査方法では、各信号線上に検査用パッドを設け、互いに隣接する信号線間の短絡を検査するとともに、選択回路に含まれるスイッチの動作も同時に検査する。

【0109】

図12に示すように、まず、アレイ基板100に検査用回路900を接続する。この検査用回路900は、内部の各回路やスイッチを制御するCPU901と、信号線にアナログ信号を書き込む書込回路902と、信号線から出力される信号を読み取る読取回路903と、接続パッドPD（1、2、3…）にそれぞれ接続されるプローブPR（1、2、3）と、第2プローブPR2または第3プローブPR3を切り換える切換回路904とを備えている。

【0110】

検査用回路900のCPU901は、書込回路902、読取回路903、切換

回路904、及びアレイ基板100の選択回路170に対してそれぞれ所定のタイミングで制御信号を出力する。

【0111】

一方、アレイ基板100側においては、選択回路170のスイッチSW(1、2、…)は、1つの出力端子OUT1に対して、2本の信号線X1、X2にそれぞれ対応する入力端子1A、1Bを選択可能に形成されている。また、アレイ基板100は、信号線上において、選択回路170のスイッチSW(1、2、…)と、このスイッチに最も近い画素トランジスタ110Nとの間に配置された検査用パッドPD1B、PD1C(PD2B、PD2C、…)を備えている。この検査用パッドPD1B、PD1Cは、各信号線にそれぞれ電氣的に接続されている。

【0112】

まず、互いに隣接する第1信号線X1と第2信号線X2とを選択可能なスイッチSW1の動作を検査する検査方法について説明する。これら第1信号線X1及び第2信号線X2は、選択回路170の同一スイッチSW1によって選択され、同一の接続パッドPD1Aを介してアナログ信号の書き込み及び読み取りを行う。

【0113】

すなわち、図12に示すように、第1プローブPR1を接続パッドPD1Aに接続し、第2プローブPR2を検査用パッドPD1Cに接続する。また、第3プローブPR3を接続パッドPD1Bに接続する。

【0114】

そして、検査用回路900のCPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第1信号線X1の入力端子1Aに接続するような制御信号を出力する。また、CPU901は、切換回路904に対して第3プローブPR3を選択するような制御信号を出力する。

【0115】

そして、CPU901は、書込回路902を制御して、第1プローブPR1を介して第1信号線X1に接続された接続パッドPD1Aから所定のアナログ信号

を書き込む。

【 0 1 1 6 】

続いて、CPU 9 0 1 は、読取回路 9 0 3 を制御して、第 3 プロブ PR 3 を介して第 1 信号線 X 1 上の検査用パッド PD 1 B からの出力信号を読み取る。

【 0 1 1 7 】

CPU 9 0 1 は、検査用パッド PD 1 B から所定のアナログ信号を検出した場合に、選択回路 1 7 0 におけるスイッチ SW 1 が正常に動作していると判断し、検査用パッド PD 1 B から信号を検出しなかった場合に、スイッチ SW 1 が異常であると判断する。

【 0 1 1 8 】

次に、互いに隣接する第 1 信号線 X 1 と第 2 信号線 X 2 との短絡を検査する検査方法について説明する。

【 0 1 1 9 】

すなわち、検査用回路 9 0 0 の CPU 9 0 1 は、選択回路 1 7 0 に対して、スイッチ SW 1 の出力端子 OUT 1 を第 1 信号線 X 1 の入力端子 1 A に接続するような制御信号を出力する。また、CPU 9 0 1 は、切換回路 9 0 4 に対して第 2 プロブ PR 2 を選択するような制御信号を出力する。

【 0 1 2 0 】

そして、CPU 9 0 1 は、書込回路 9 0 2 を制御して、第 1 プロブ PR 1 を介して第 1 信号線 X 1 に所定のアナログ信号を書き込む。

【 0 1 2 1 】

続いて、CPU 9 0 1 は、読取回路 9 0 3 を制御して、第 2 プロブ PR 2 を介して第 2 信号線 X 2 からの出力信号を読み取る。

【 0 1 2 2 】

CPU 9 0 1 は、第 2 信号線 X 2 から所定のアナログ信号を検出した場合に、第 1 信号線 X 1 と第 2 信号線 X 2 とが短絡していると判断し、第 2 信号線 X 2 から信号を検出しなかった場合に、第 1 信号線 X 1 と第 2 信号線 X 2 との間に短絡が生じていないものと判断する。

【 0 1 2 3 】

次に、互いに隣接する第2信号線X2と第3信号線X3との短絡を検査する検査方法について説明する。これら第2信号線X2及び第3信号線X3は、それぞれ選択回路170の異なるスイッチ、すなわちスイッチSW1及びSW2によって選択され、それぞれのスイッチSW1及びSW2に接続された接続パッドPD1A及びPD2Aを介してアナログ信号の書き込み及び読み取りを行う。

【0124】

このとき、第1プローブPR1は、接続パッドPD2Aに接続されている。

【0125】

すなわち、CPU901は、選択回路170に対して、スイッチSW2の出力端子OUT2を第3信号線X3の入力端子2Aに接続するような制御信号を出力する。また、CPU901は、切換回路904に対して第2プローブPR2を選択するような制御信号を出力する。

【0126】

そして、CPU901は、書込回路902を制御して、第1プローブPR1を介して第3信号線X3に所定のアナログ信号を書き込む。

【0127】

続いて、CPU901は、読取回路903を制御して、第2プローブPR2を介して第2信号線X2からの出力信号を読み取る。

【0128】

CPU901は、第2信号線X2から所定のアナログ信号を検出した場合に、第2信号線X2と第3信号線X3とが短絡していると判断し、第2信号線X2から信号を検出なかった場合に、第2信号線X2と第3信号線X3との間に短絡が生じていないものと判断する。

【0129】

以下、同様にして、互いに隣接する2本の信号線をペアとし、検査用回路の一方のプローブを接続パッドに接続するとともに他方のプローブを信号線上に設けられた検査用パッドに接続し、一方のプローブに接続された接続パッドと一方の信号線とを電氣的に接続した状態で、この一方の信号線に対してアナログ信号を書き込み、検査用パッドに電氣的に接続された他方の信号線からの出力信号を読

み取ることにより、ペアの信号線間の短絡を検出することが可能となる。

【0130】

また、同様にして、選択回路に含まれるスイッチを動作させ、このスイッチを挟む接続パッドと検査用パッドとの間で信号の書き込み及び読み取りを行うことにより、新たにパッドを用意すること無しに、スイッチの動作を検査することが可能となる。

【0131】

【発明の効果】

以上説明したように、この発明によれば、画素の高精細化が可能な表示装置の短絡を検査する検査方法であって、検査用回路の測定精度を低減することなくコストを低減できるアレイ基板およびこのアレイ基板に適用される検査方法を提供することができる。

【図面の簡単な説明】

【図1】

図1は、この発明のアレイ基板を備えた表示装置の一実施の形態に係る液晶表示装置の構成を概略的に示す図である。

【図2】

図2は、図1に示した液晶表示装置の一辺に設けられるTCPの構成を概略的に示す図である。

【図3】

図3は、図1に示した液晶表示装置の信号線駆動回路の構成を概略的に示す図である。

【図4】

図4は、図1に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図5】

図5は、図1に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図6】

図 6 は、図 1 に示した液晶表示装置の一辺に設けられる T C P の構成を概略的に示す図である。

【図 7】

図 7 は、図 1 に示した液晶表示装置のアレイ基板の一端側に設けられた配線パッドの構成を概略的に示す図である。

【図 8】

図 8 は、図 1 に示した液晶表示装置のアレイ基板の中央部に設けられた配線パッドの構成を概略的に示す図である。

【図 9】

図 9 は、図 1 に示した液晶表示装置のアレイ基板の他端側に設けられた配線パッドの構成を概略的に示す図である。

【図 1 0】

図 1 0 は、この発明のアレイ基板の検査方法における 2 信号線間の短絡を検査する第 1 の検査方法を説明するための回路構成を概略的に示す図である。

【図 1 1】

図 1 1 は、この発明のアレイ基板の検査方法における 2 信号線間の短絡を検査する第 2 の検査方法を説明するための回路構成を概略的に示す図である。

【図 1 2】

図 1 2 は、この発明のアレイ基板の検査方法における 2 信号線間の短絡を検査する第 3 の検査方法を説明するための回路構成を概略的に示す図である。

【符号の説明】

- 1 …液晶表示装置
- 1 0 0 …アレイ基板
- 1 1 0 …多結晶シリコン薄膜トランジスタ
- 1 5 0 …ゲート線駆動回路
- 1 6 0 …信号線駆動回路
- 1 7 0 …選択回路
- 2 0 0 …対向基板
- 3 0 0 …液晶層

5 1 1 … 信号線駆動用 I C

9 0 0 … 検査用回路

9 0 1 … C P U

9 0 2 … 書込回路

9 0 3 … 読取回路

9 0 4 … 切換回路

X (1、 2、 …) … 信号線

P D (1 A、 2 A、 …) … 接続パッド

P D (1 B、 2 B、 …) … 検査用パッド

P D (1 C、 2 C、 …) … 検査用パッド

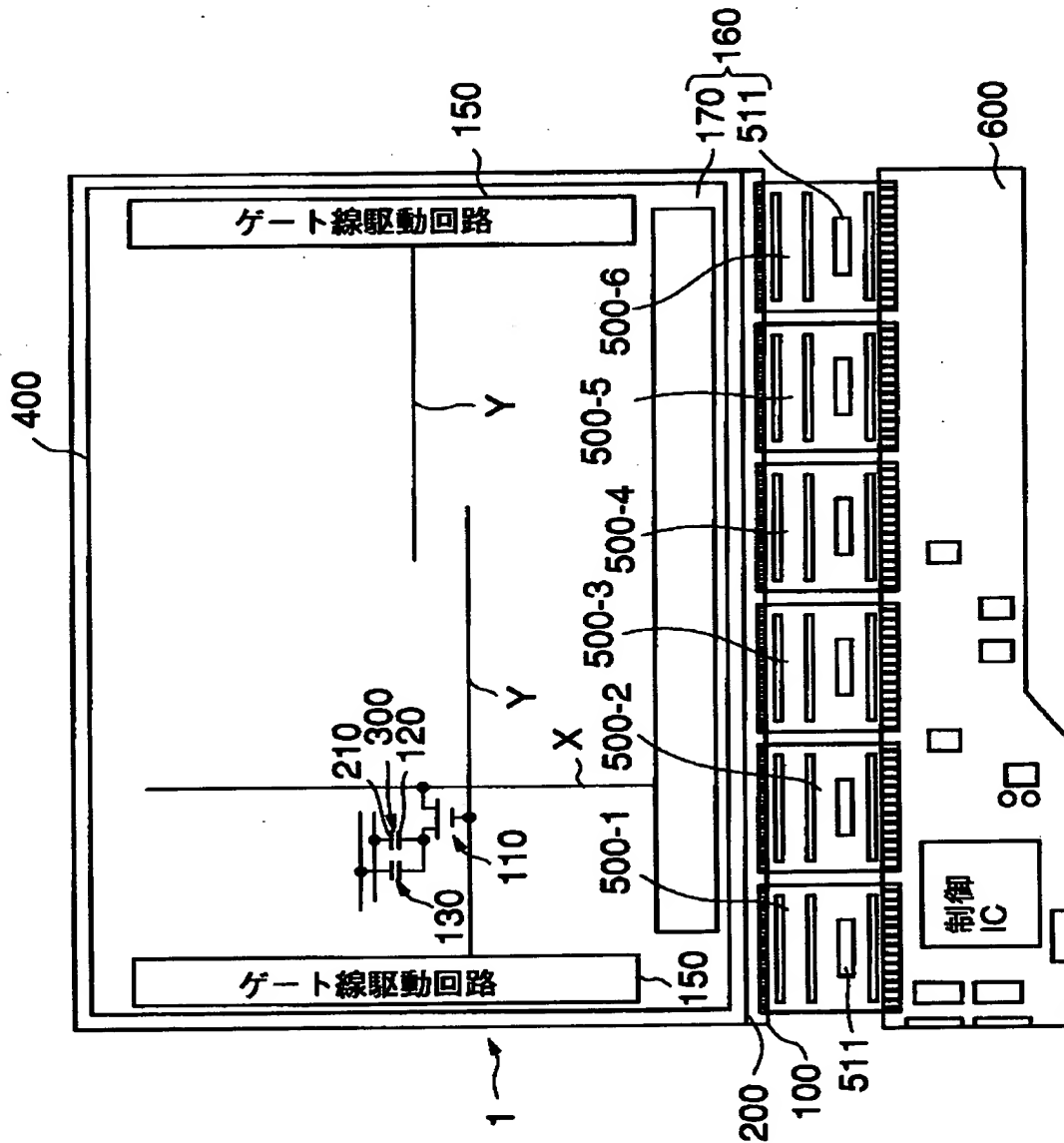
P R (1、 2、 3 …) … プローブ

S W (1、 2、 …) … スイッチ

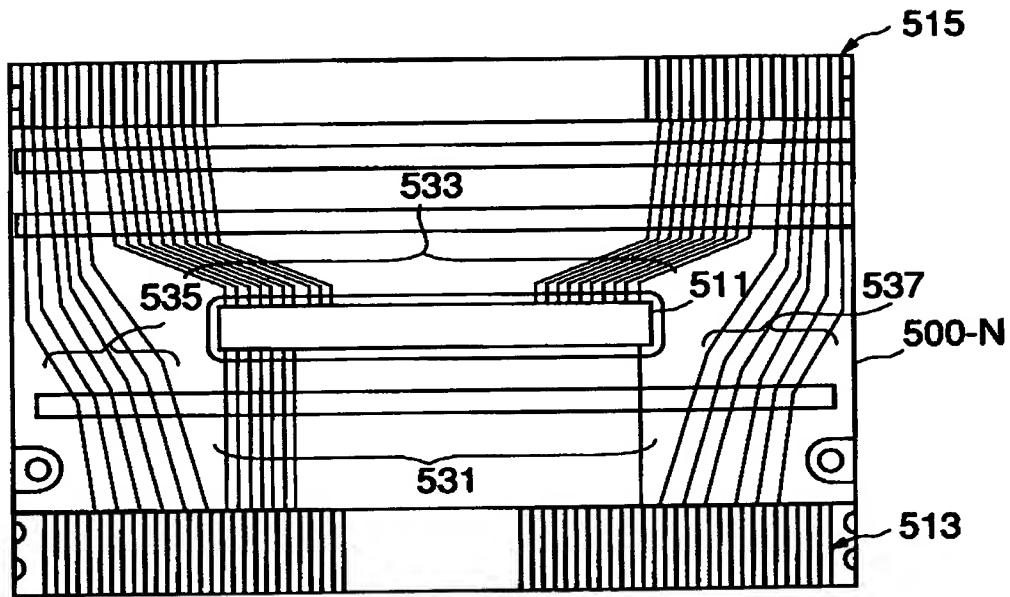
【書類名】

図面

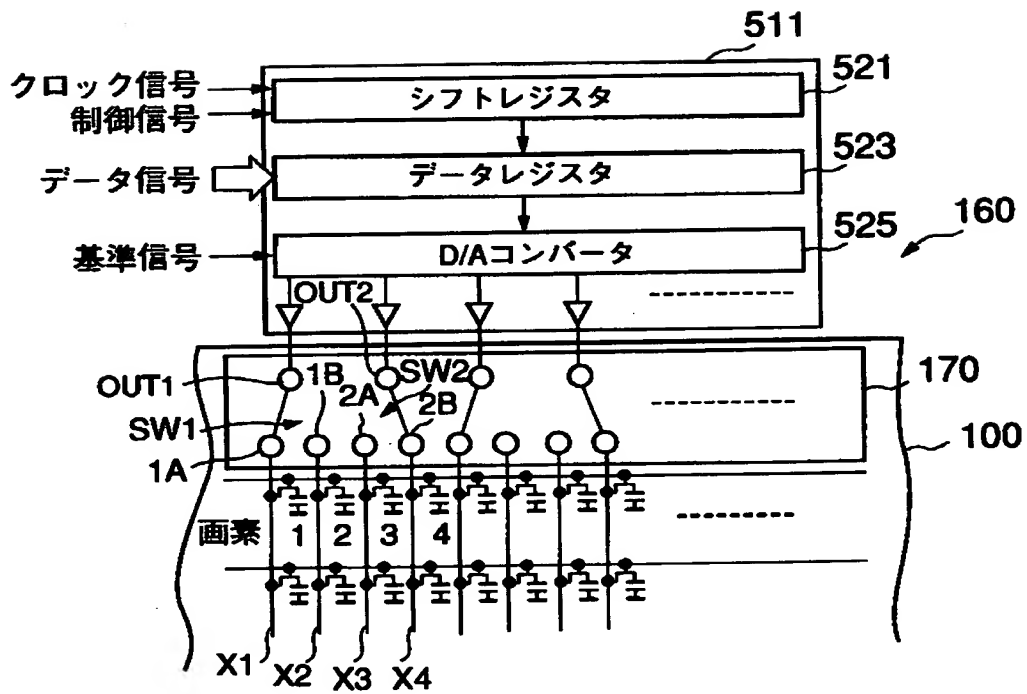
【図 1】



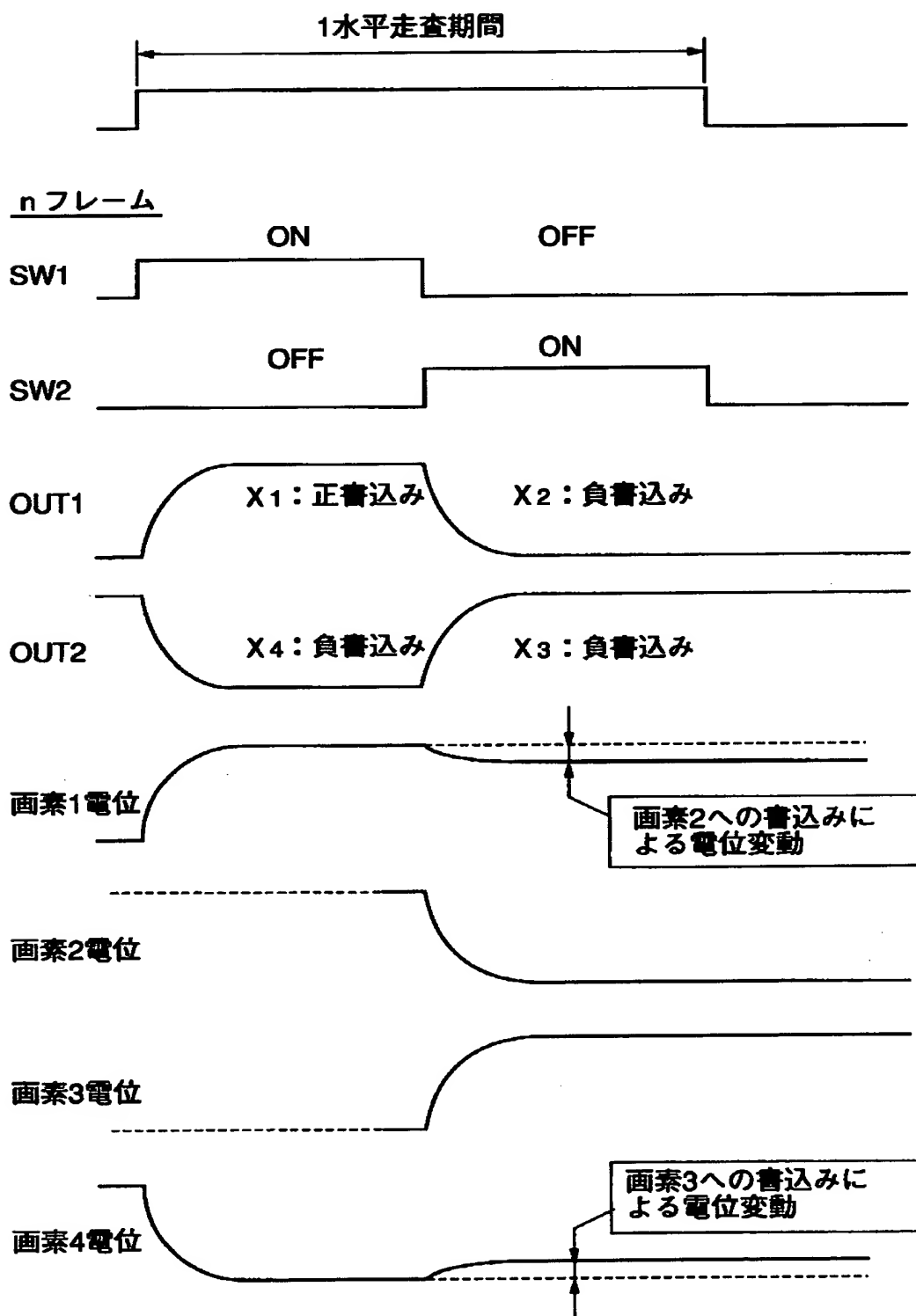
【図2】



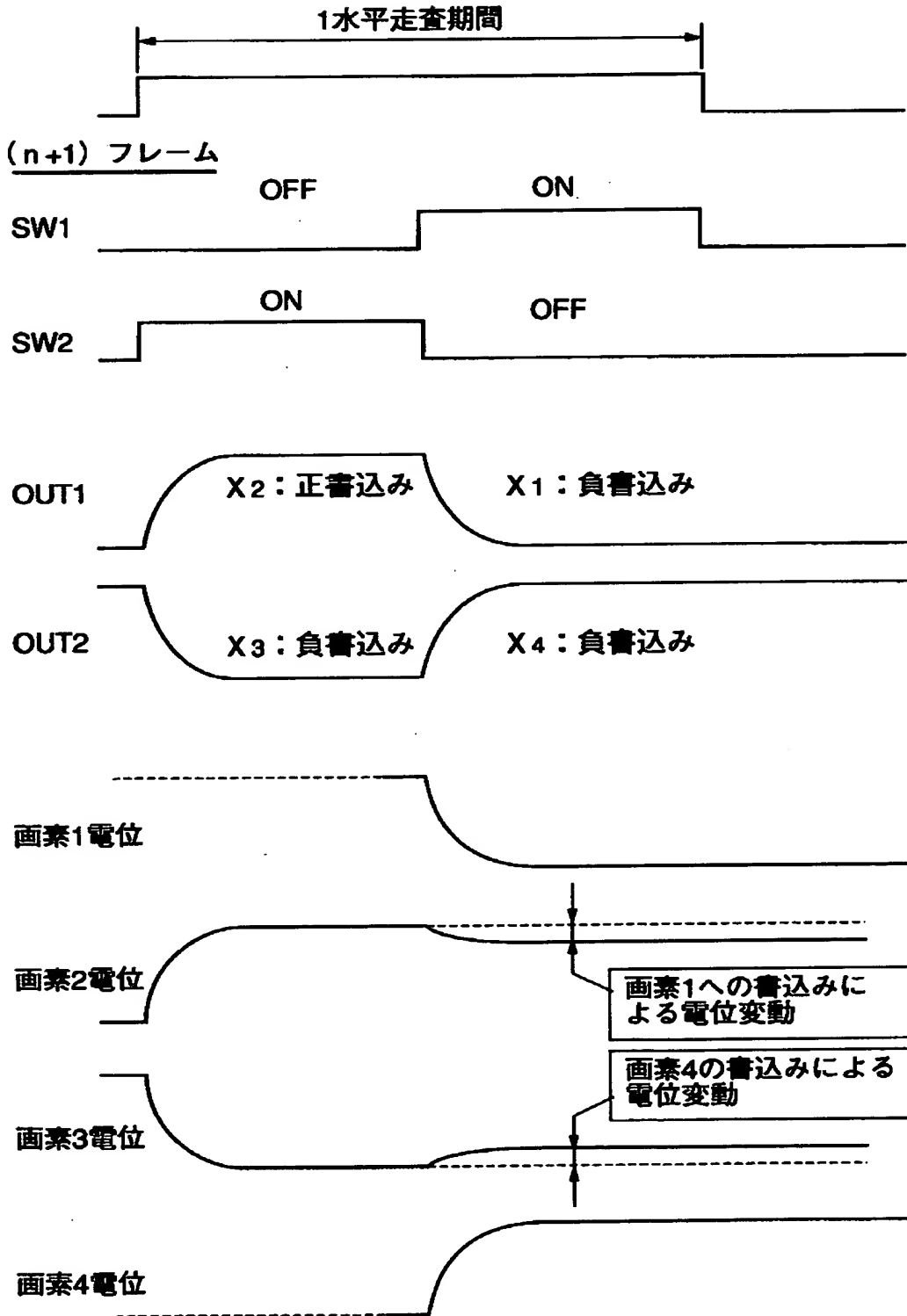
【図3】



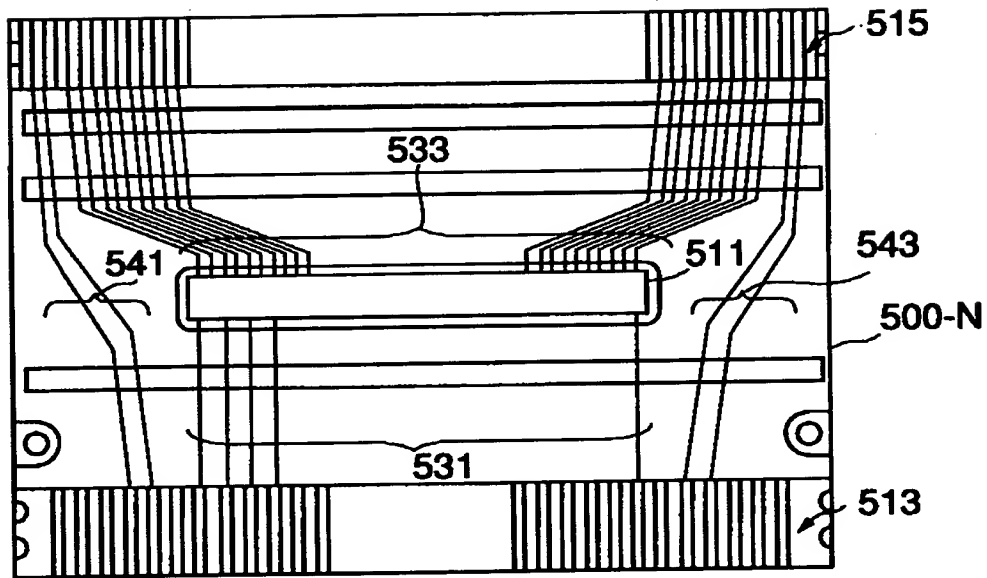
【図 4】



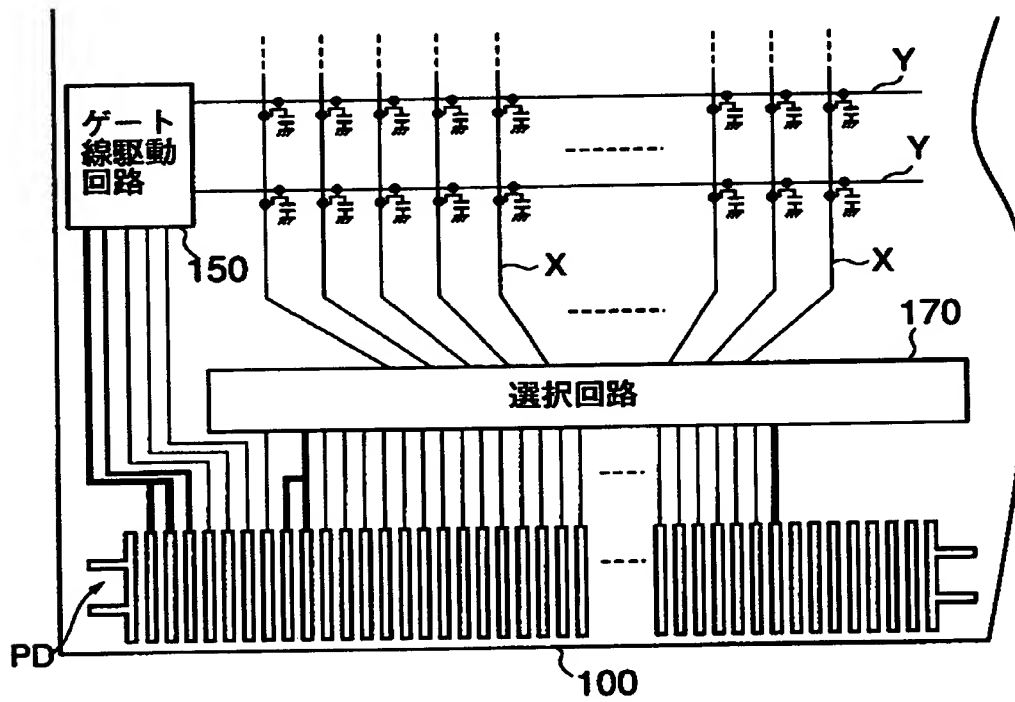
【図5】



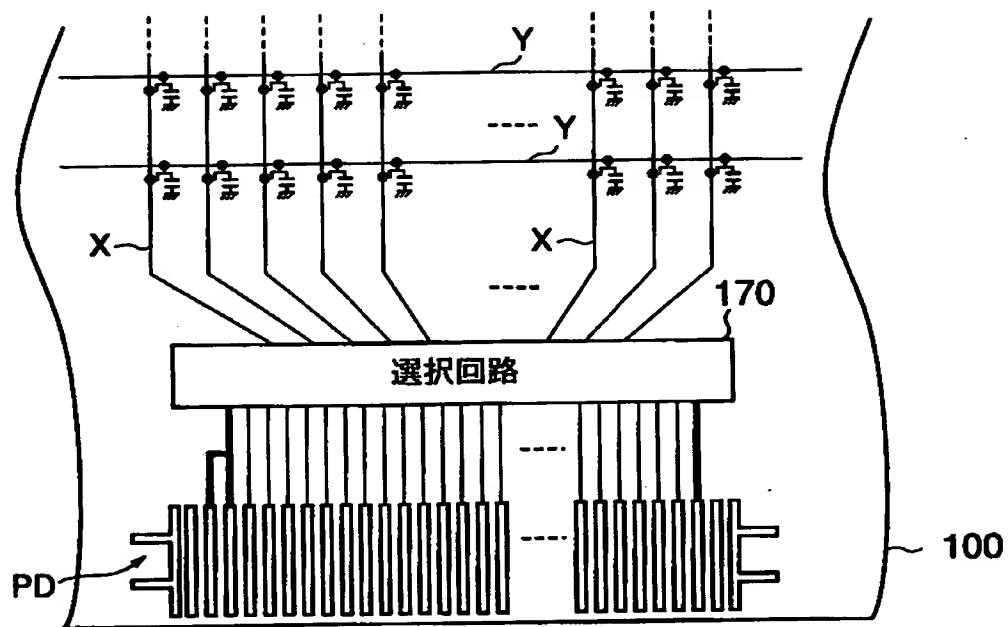
【図6】



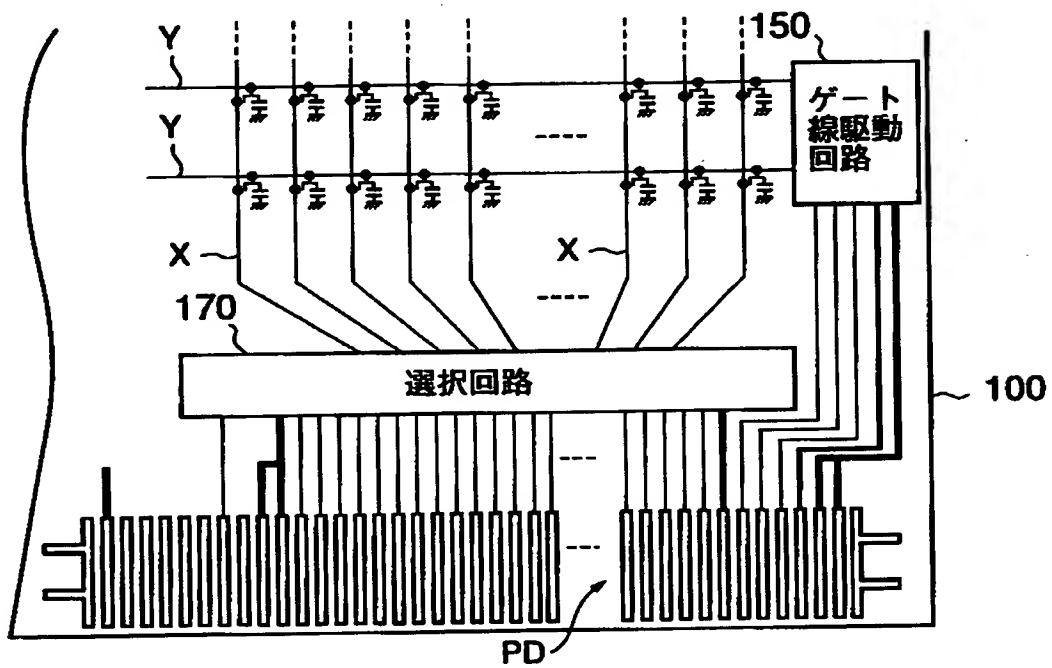
【図7】



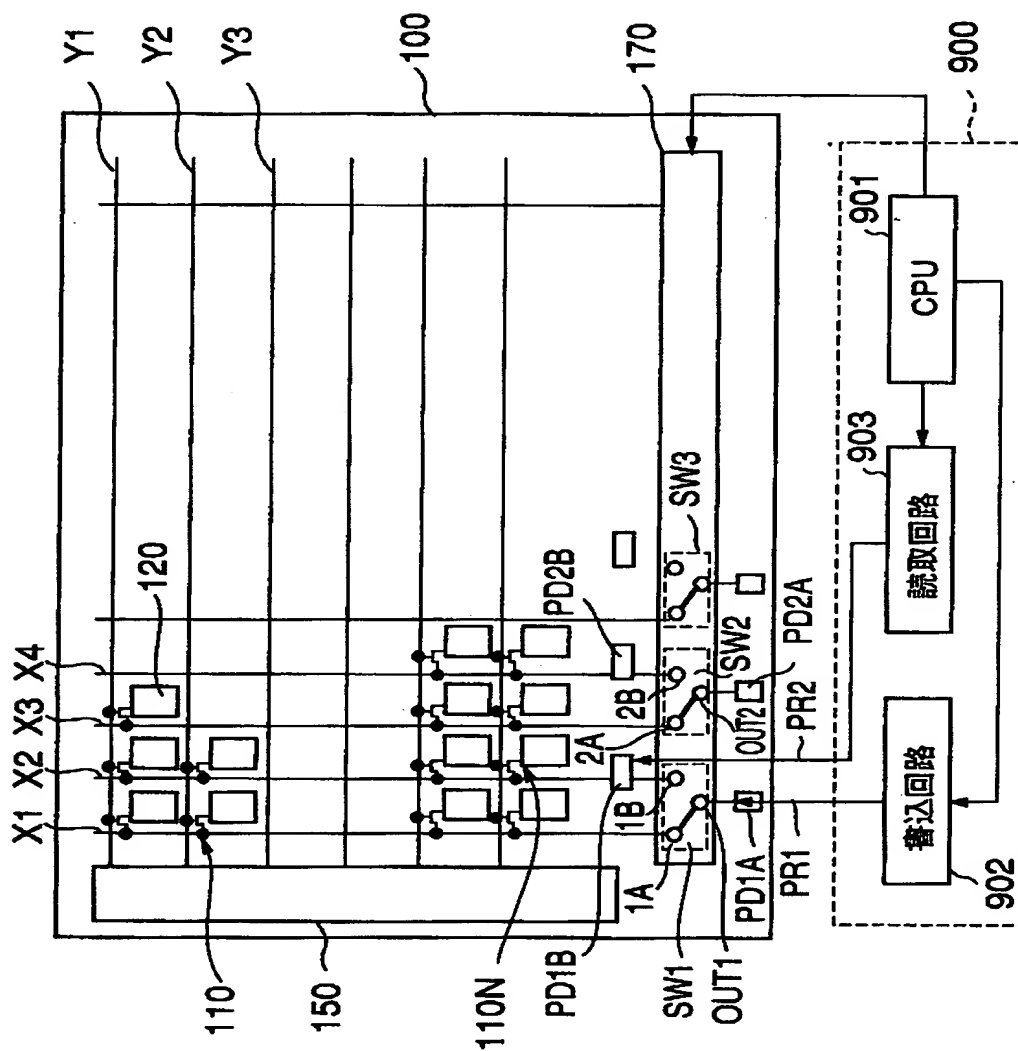
【図 8】



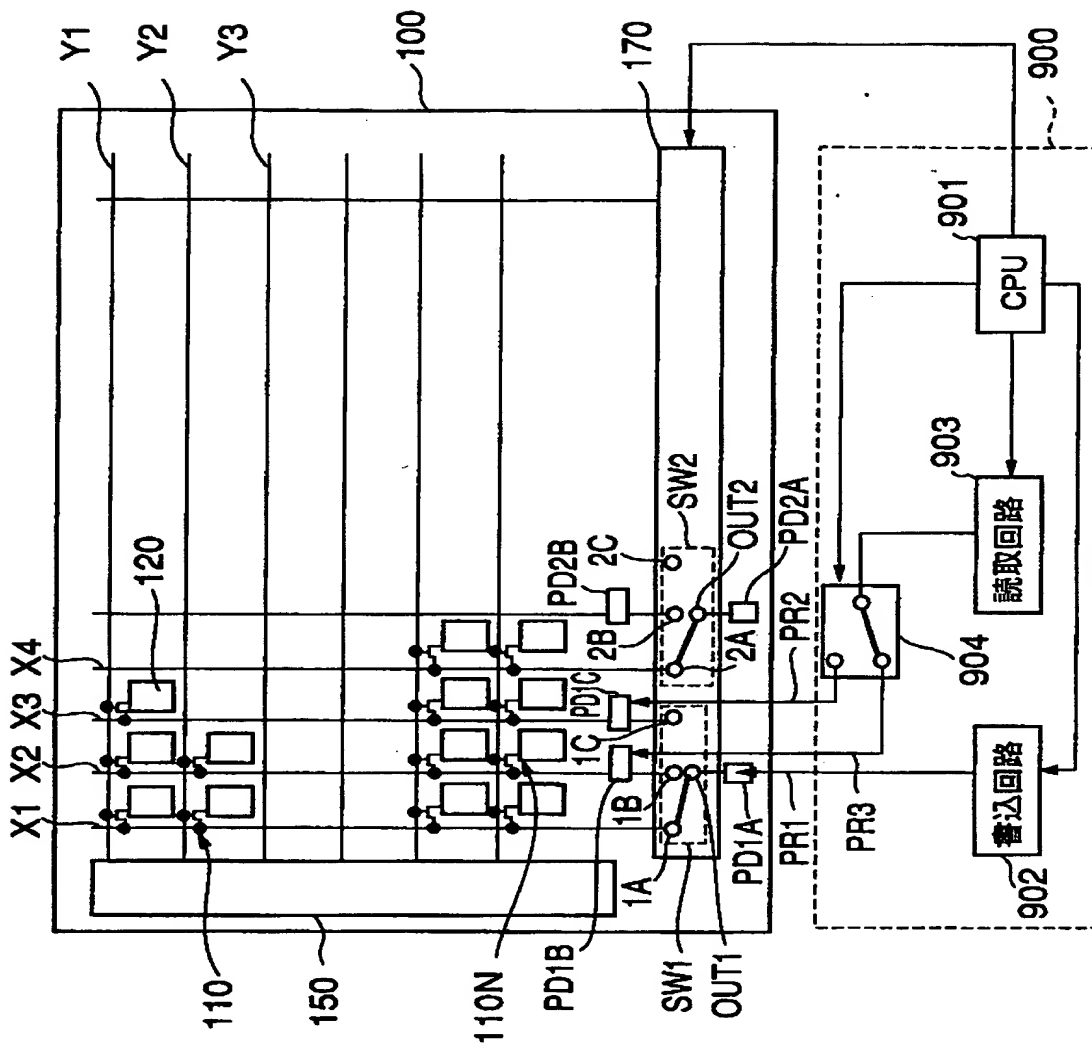
【図 9】



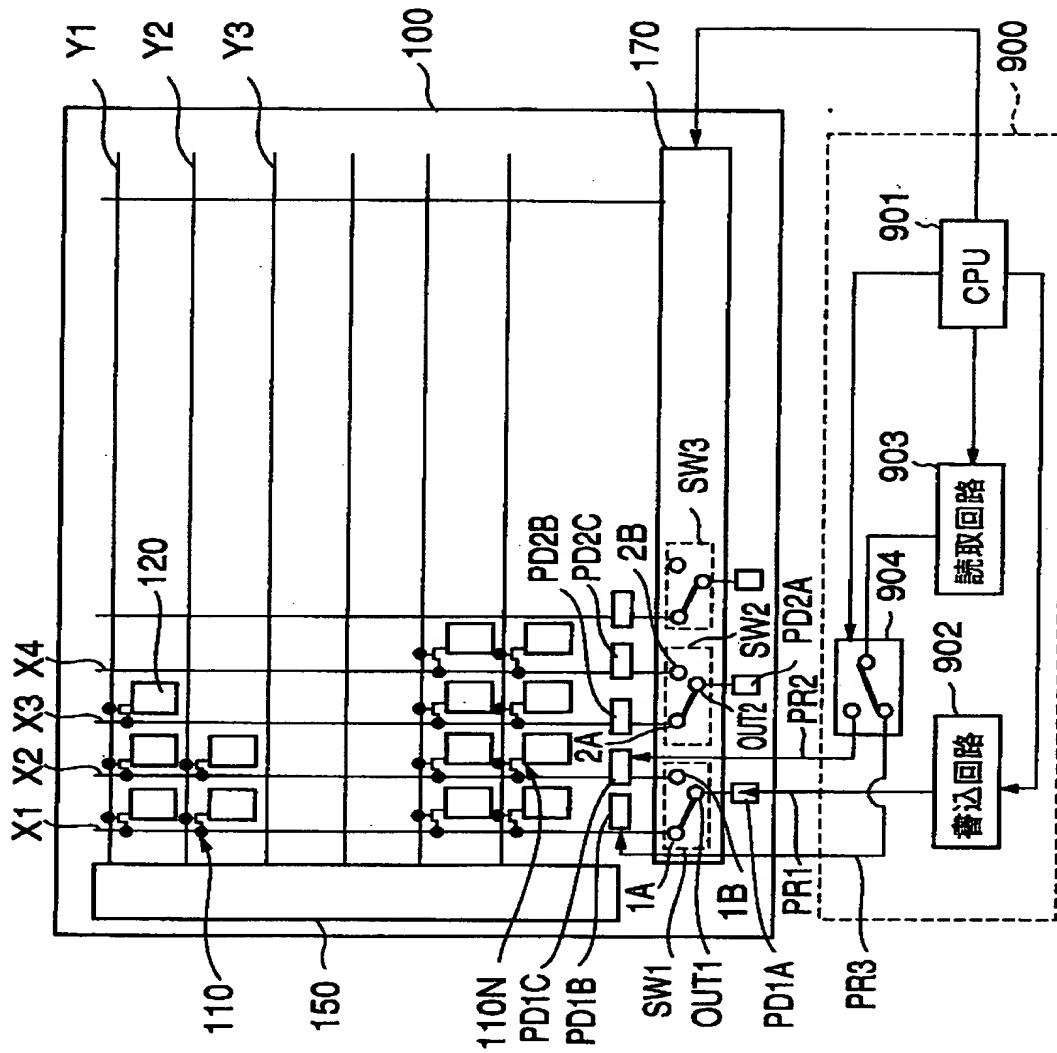
【図10】



【図 11】



【図12】



【書類名】 要約書

【要約】

【課題】画素の高精細化が可能な表示装置の短絡を検査する検査方法であって、検査用回路の測定精度を低減することなくコストを低減できるアレイ基板およびこのアレイ基板に適用される検査方法を提供することを目的とする。

【解決手段】互いに隣接する第1信号線X1及び第2信号線X2をペアとし、検査用回路900の第1プローブPR1を接続パッドPD1Aに接続するとともに第2プローブPR2を信号線上に設けられた検査用パッドPD1Bに接続する。選択回路170に含まれるスイッチSW1の制御により、第1プローブPR1に接続された接続パッドPD1Aと第1信号線X1とを電氣的に接続した状態で、この第1信号線X1に対してアナログ信号を書き込み、検査用パッドPD1Bに電氣的に接続された第2信号線X2からの出力信号を読み取ることにより、ペアの信号線間の短絡を検出する。

【選択図】 図10

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝